

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

LAMINATED SEMICONDUCTOR SUBSTRATE

Patent Number: JP3036717

Publication date: 1991-02-18

Inventor(s): **OKUDA KOJI**

Applicant(s): FUJITSU LTD

Requested Patent: IP3036717

Application Number: JP19890172168 19890703

Priority Number(s):

Priority Number(s): H01L21/20; C30B29/40; C30B29/68; H01L29/203
IPC Classification:

FC Classification:

Equivalent:

Abstract

PURPOSE: To obtain a semiconductor substrate which is provided with a rejection formation layer with less defect density by forming a buffer layer structure which is superb in dislocation propagation rejection function.

CONSTITUTION: When forming a laminated type semiconductor substrate in a structure where a compound semiconductor single crystal such as GaAs is subjected to epitaxial growth on an Si substrate, stress caused by lattice mismatching was eliminated by generating misfit dislocation on a single crystal Si substrate 1, namely a fully thick InGaAs layer 2 which is sufficient for generating misfit dislocation is provided, a GaAs layer 3 which is doped with Zn is provided on it in a thickness so that no stress generated by misfit dislocation is eliminated, an InGaAs layer 4 is provided on it in a thickness so that no stress caused by misfit dislocation is eliminated, and then a target layer GaAs layer 5 is provided on it, thus enabling motion speed of a dislocation 7 being extended to the GaAs layer 3 to be large, frequently forming a loop in combination with other dislocations of the same type, and limiting dislocation density within the GaAs layer 5 which is the element formation layer. Zn which is doped to the GaAs layer 3 promotes move of dislocation.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開

平3-36717

⑬ 公開 平成3年(1991)2月18日

⑭ Int. Cl.

H 01 L 21/20
C 30 B 29/40
29/68
H 01 L 29/203

識別記号

府内整理番号

7739-5F
7158-4G
7158-4G
8225-5F

審査請求 未請求 請求項の数 1 (全6頁)

⑤ 発明の名称 構造型半導体基板

⑥ 特願 平1-172168

⑦ 出願 平1(1989)7月3日

⑧ 発明者 奥田 浩司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑨ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑩ 代理人 弁理士 井桁 貞一

明細書

1 発明の名称

構造型半導体基板

2 特許請求の範囲

単結晶Si基板上に、
Siより格子定数が大である第1の化合物半導
体の第1の層が、ミスフィット転位の発生する厚
さより大なる厚さに結晶軸を合わせて堆積形成さ
れ。

前記第1の層上に、第1の半導体に格子定数が
近似する第2の化合物半導体であってZnがドー
ブされた半導体層が、ミスフィット転位の発生す
る厚さより小なる厚さに結晶軸を合わせて堆積形
成され。

前記第2の化合物半導体層上に、前記第1の化
合物半導体の第2の層がミスフィット転位の発生
する厚さより小なる厚さに結晶軸を合わせて堆積
形成され。

前記第2の層上に前記第2の化合物半導体層が

結晶軸を合わせて堆積形成されていることを特徴
とする構造型半導体基板。

3 発明の詳細な説明

(概要)

本発明はSi基板上にGaAsなどの如き化合物半
導体単結晶をエピタキシャル成長させた構造の構
造型半導体基板に関するもの。

基板とエピタキシャル成長層の界面に発生する
ミスフィット転位の伝播を抑制する効果がより保
れたものである構造型バッファ構造を提供するこ
とを目的とし、

上記例の如くエピタキシャル成長層がGaAs
である場合、

単結晶Si基板上に、格子不整合に起因する応
力をミスフィット転位の発生によって解消させた
InGaAs或いはGaAsP層を設け、

その上にミスフィット転位の発生による応力解
消のない厚さにGaAs層を設け、

またその上にミスフィット転位の発生による応

力解消のない厚さに $I \parallel G \parallel A \parallel$ 吸いは $G \parallel A \parallel$ P 層を設け、

更にその上に目的層である $G \parallel A \parallel$ 層を設けた構成とする。

(産業上の利用分野)

本発明は S_1 基板上に $G \parallel A \parallel$ の如き化合物半導体単結晶をエピタキシャル成長させた構造の積層型半導体基板に関わり、特に応力層を介在させてミスフィット転位の伝播を抑制した積層型半導体基板に関わる。

近年、電子的特性が S_1 より優れた $G \parallel A \parallel$ 基板に電子を組み込んで積層回路を形成することが行われるようになった。その場合、 $G \parallel A \parallel$ 基板は全体が $G \parallel A \parallel$ であるものよりも、支持体部分は S_1 で電子形成層のみ $G \parallel A \parallel$ であるものの方が、機械的強度が大であり、経済性も勝っていることから、単結晶 S_1 基板に $G \parallel A \parallel$ 層をエピタキシャル成長させた積層回路用基板が有効であると期待されている。

$A \parallel$ 層をバッファ層として介在させるものがある。同図の21は S_1 基板、23は例えば 450°C で成長させた低温 $G \parallel A \parallel$ 層、22は 600~700°C で成長させた $G \parallel A \parallel$ 層である。

また、第4回図ではバッファ層として組成を $G \parallel P$ から $G \parallel A \parallel$ に連続的に変化させた傾斜組成(グレーデッド)層24を用いている。即ち、 S_1 基板21に接する部分は $G \parallel P$ の組成でエピタキシャル成長を開始し、次第に $A \parallel$ 成分を増して最終的には $G \parallel A \parallel$ としたバッファ層を形成し、その上に $G \parallel A \parallel$ 層22を成長させている。

これらの処理は最終成長層である $G \parallel A \parallel$ 層の欠陥密度にはかなりの効果を有するものの、転位の伝播を阻止するという点では十分とは言い難いものである。

第4回図は S_1 基板21と目的とする $G \parallel A \parallel$ 層22の間に $G \parallel A \parallel P$ と $G \parallel P$ から成る超格子層25および $G \parallel A \parallel / G \parallel A \parallel P$ の超格子層26を介在させたものである。これ等の超格子は歪超格子と呼ばれ、電子形成層中の転位密度を減少させる

ところが S_1 に比べ $G \parallel A \parallel$ は格子定数が約4%大であるため、このような構成の積層回路基板を通常の気相成長法などで形成しようとする、 S_1 と $G \parallel A \parallel$ 格子不整合に起因する転位(ミスフィット転位)が発生し、転位線が成長層中に伝播することが起こる。成長層の転位密度が大であると形成された電子の特性に悪影響が及ぶので、このような転位の伝播は極力阻止しなければならない。

(従来の技術と発明が解決しようとする課題)

ヘテロ・エピタキシャル界面に生ずるミスフィット転位を成長層に伝播させないためには、間にバッファ層を介在させることが行われている。バッファ層を設けることの直接の目的は必ずしも転位伝播の抑制とは限らないが、結果的に電子形成層の結晶欠陥を減少させる効果を示すこともあり、どのようなバッファ層が有効かということで、従来様々な構造や処理が提案されている。

例えば、第4回図の如く、低温で成長した $G \parallel A \parallel$

に有効であるが、構造が複雑であり、層形成のために精密な制御が要求される。

本発明の目的は、簡単な構成で転位伝播防止機能の優れたバッファ層構造を提供することであり、欠陥密度の低い電子形成層を備えた半導体基板を提供することである。

(課題を解決するための手段)

上記目的を達成するため、本発明の積層型半導体基板は

単結晶 S_1 基板上に、

S_1 より格子定数が大である第1の化合物半導体の第1の層が、ミスフィット転位の発生する厚さより大なる厚さに結晶軸を合わせて堆積形成され、

前記第1の層上に、第1の半導体に格子定数が近似する第2の化合物半導体であって Zn がドープされた半導体層が、ミスフィット転位の発生する厚さより小なる厚さに結晶軸を合わせて堆積形成され、

前記第2の化合物半導体層上に、前記第1の化合物半導体の第2の層がミスフィット転位の発生する厚さより小なる厚さに結晶軸を合わせて堆積形成され、

前記第2の層上に前記第2の化合物半導体層が結晶軸を合わせて堆積形成された構成となっている。

(作 用)

ミスフィット転位は、格子定数の差が大であるほど多く発生するのは当然であるが、同時に、成長層の厚みが大となることによっても発生する。これは、成長層の原子層数が小である間は歪応力を内包した層が成長するが、層厚が増し、応力の累積値が大となると転位が発生して応力を解放するからである。

また、転位はそれを内包する結晶空間の熱エネルギーや応力によって移動し、転位どうしが結合して消滅したり、ループを形成することが起こる。そうなると転位はそれ以後の成長層には伝播しな

は同図(b)に書き込まれたようにミスフィット転位6が生じている。転位の発生によって応力は解放されているため、同図(c)に描かれる如く、基板1と第1の層2には、層2の上部を除いて応力は内在しない。

図中のミスフィット転位6は刃状転位の如く描かれているが、螺旋転位成分を持つ転位7は層成長方向に延在し、ZnドープGaAs層3にまで伝播している。

層2の上にエピタキシャル成長されたZnドープGaAs層3は、厚みを制限されたものであるためInGaAs層2との格子定数差による転位の発生は無く、応力を内包して形成されている。同図(d)に示されるようにInGaAs層2の格子定数はGaAsのそれより若干大であるから、

GaAs層には引張り力が加えられ、それに対する応力が同図(e)のように現れる。該図面では中央が応力0であり、左側が引張りに対する応力、右側が圧縮に対する応力である。

GaAs層3の上には、やはりミスフィット転

いから、応力場の存在によっても転位の伝播が抑制されることになる。

更に、応力場による転位の移動に於いて、その結晶にドープする不純物の種類によって転位の動き易さが変化すること、例えばGaAsにZnをドープすれば転位が動き易くなることも知られている。

第1図は、後出の第1の実施例の構造における作用を説明する図で、同図(a)は積層構造を示す断面模式図、同図(b)及び(c)は各層の格子定数と応力を示す棒図である。以下、これ等の図面を参照して本発明の作用を説明する。同図(a)の1はSi基板、2は第1のInGaAs層、3はZnがドープされたGaAs層、4は第2のInGaAs層、5は電子形成層のGaAs層である。2つのInGaAs層は実施例では意図的に異ならせているが、ここでは同じとする。

各層の格子定数は第1図例に示されるように分布しており、Si基板1とInGaAs層2の間の格子定数の差が大きいことから、両者の界面に

転位生じない厚さに第2のInGaAs層4が設けられ、図(c)の如き応力分布を示している。GaAs層3はその上下を格子定数の大きいInGaAs層4で挟まれているため、強い引張り力を受けてそれに対する応力を内包している。

このような状況では、GaAs層3に延在する転位7の運動速度は大となり、同種の他の転位と結合してループを形成するが多くなる。従って第2のInGaAs層4まで延在する転位は極めて僅かとなり、更にはInGaAs層でもループが形成されると電子形成層であるGaAs中の転位密度は更に低減されることになる。GaAs層3にドープされたZnは、上述の如く転位の運動を促進するものである。

(実施例)

第2図は本発明の第1の実施例の構造を示す断面模式図である。以下、該図面を参照しながら説明する。

Si基板11上にZnがドープされたInGaAs

$0.005 \leq x \leq 0.05$ 層12が堆積形成されている。該層はTMI、TMG、TEG、アルシン $(A = H_2)$ などを原料とする周知のMOCVD法によってエピタキシャル成長されたものであり、他の堆積形成層も同様にMOCVDによりエピタキシャル成長される。Znをドープする場合はZn $(CH_3)_2$ が添加され、Pを含む場合は原料としてフェヌスフィン (PH_3) が用いられる。

該層12の厚さは略20μmであり、ミスフィット転位が発生するのに十分な厚さであるから、転位の発生によって応力は解放された状態となっている。

その上にZnがドープされたGaAs層13が略40μmの厚さに堆積形成されている。該層と下地のInGaAs層とは第4回に示されるように格子定数の差は余り大きくないので、この厚さでもミスフィット転位は発生せず、格子不整合に基づく応力がGaAs層12に存在する。格子定数はInGaAsの方が大であるから、GaAs層には引張り力が加わっている。

既に述べた如く、転位の移動を速やかならしめるためである。ドープ量は $10^{19} \sim 10^{20} cm^{-3}$ 程度が適当である。また、層12及び層14にZnがドープされているのも転位伝播抑制の効果を高めるためであるが、これ等の層へのZnドープは本発明の不可欠の要素ではない。

以上の構成のバッファ層の上に目的層であるGaAs層15がエピタキシャル形成されている。該層はGaAs堆積回路の素子形成層或いは素子分離用の半绝缘層となるものであるから、夫々の使用目的に合わせた厚さであり、不純物がドープされたものである。

第3回は本発明の第2の実施例の構造を示す断面模式図である。以下、該図面を参照しながら説明する。

この実施例で層構造が上記実施例と異なるのは、S1基板/バッファGaAs層間およびバッファGaAs層/目的層間に介在するのがGaAsP層となっている点である。GaAsPは格子定数がGaAsより小であるから、これに挟まれたGaAs

更にその上にはZnがドープされたInGaAs $(0.01 \leq y \leq 0.15)$ 層14が堆積形成されている。この第2のInGaAs層、格子定数も下地GaAsの格子定数より大であるから、GaAs層13には、その上のInGaAs層14によっても引張りに対する応力が生じる。ここで第2のInGaAs層14の厚さは略80μmであるが、2つのInGaAs層の組成と厚さが異なっているのはGaAs層に生じる応力を大とするためであり、第2のInGaAs層は格子定数差が小で転位が生じ難いことから、その厚さを大とすることでGaAs層の応力を増大させているのである。

このようにして、GaAs層13が内包する応力は十分に大きいものとなっているので、下地であるInGaAs層12から伝播した転位は該GaAs層内で速やかに移動し、結合してループを形成したり吸いは消失することになる。そのため、上部のInGaAs層14に伝播する転位数は極少となる。

GaAs層13にZnがドープされているのは、

As層は上記実施例とは反対に圧縮力を受け、それに対する応力を内包するものとなっている。

バッファ領域を形成する各層の組成は次の通りで、S1基板上に堆積された第1のGaAs $(x = P, 0.005 \leq x \leq 0.05)$ 層16はZnドープされたもの、GaAs層17は上記実施例のGaAs層13と同程度にZnをドープされたもの、第2のGaAs $(x = P, 0.005 \leq x \leq 0.05)$ 層18もZnドープである。

また、これら各層の厚さは上記実施例に類似したものでよいが、層16はミスフィット転位が発生する程度に十分厚く、層17及び層18はミスフィット転位が発生しない範囲で十分な内部応力を生じる程度に厚く形成することが、本発明を効果あるものとするために要求される事項である。

(発明の効果)

以上説明したように、本発明に於けるバッファ層構造は転位の伝播抑制に有効であり、目的層であるGaAs層の欠陥密度は大幅に低減されたも

のとなるので、本発明の半導体基板を使用することにより、特性より優れたGaAs集積回路が実現することになる。

4 図面の簡単な説明

第1図は本発明の作用を説明する図、
第2図は第1の実施例の構造を示す模式図、
第3図は第2の実施例の構造を示す模式図、
第4図は従来のバッファ層構造を示す模式図であって、

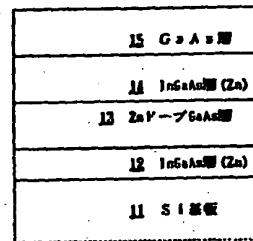
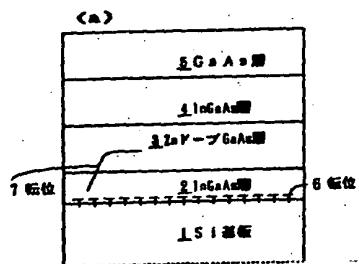
図において

- 1はS I基板、
- 2は第1のInGaAs層、
- 3はZnドープGaAs層、
- 4は第2のInGaAs層、
- 5はGaAs層、
- 6, 7は転位、
- 11はS I基板、
- 12は第1のInGaAs層、
- 13はZnドープGaAs層、

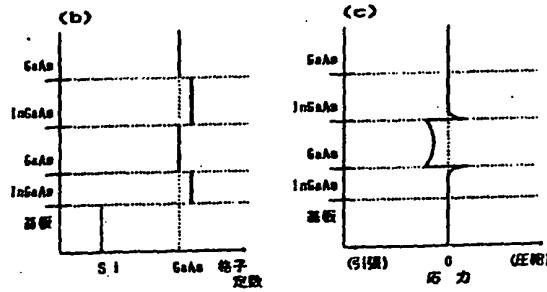
- 14は第2 InGaAs層、
- 15はGaAs層、
- 16は第1のGaAsP層、
- 17はGaAs層、
- 18は第2のGaAsP層、
- 21はS I基板、
- 22はGaAs層、
- 23は低温成長GaAs層、
- 24は傾斜切成のGaAsP層、
- 25はGaAsP/GaP超格子層、
- 26はGaAs/GaAsP超格子層

である。

代理人 弁理士 井桁貞一

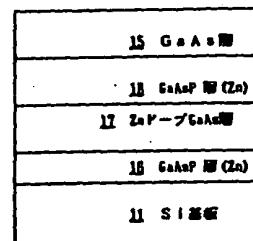


第1の実施例の構造を示す模式図
図2

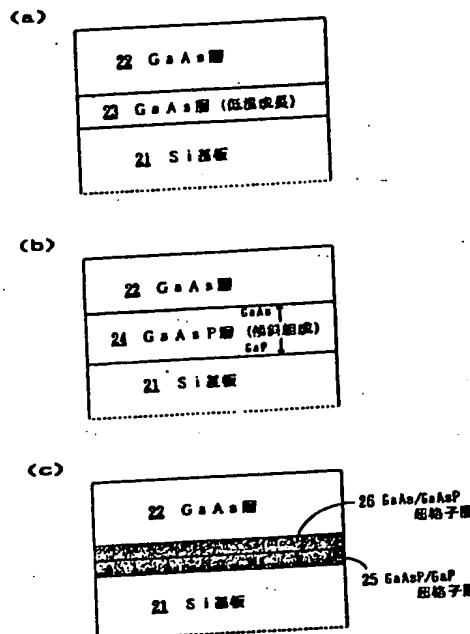


本発明の作用を説明する図

図2



第2の実施例の構造を示す模式図
図2



従来のバッファ層構造を示す模式図

555 4